

Лекции по дискретке

Зайцев Вадим

сентябрь-декабрь 2010

1. Определение ЭВМ как конечного автомата. Цели изучения архитектуры ЭВМ. Разница между алгоритмом и программой. Общая структурная схема ЭВМ. ключевые характеристики различных компонентов ЭВМ (процессор, память, .).

2. Вычислительная модель. Структура вычислительной модели (базовые объекты, способ постановки задачи, исполнительная модель). Примеры вычислительных моделей. Модель фон-Неймана и её расширения. 2011-10-10

3. Параллелизм . конкурентный и истинный. Доступный и реализованный параллелизм. Функциональный параллелизм и параллелизм данных. Уровни параллелизма. Классификация Флинна. Приведенная классификация. 2011-11-21

4. Конвейерные архитектуры. Связь с репликацией. Быстродействие конвейера. Повторное использование стадий (recycling). Форвардинг данных. Синхронные/асинхронные конвейеры. Мультиконвейерные архитектуры. 2011-10-03

5. Параллелизм на уровне команд. Подходы VLIW и Суперскалярных архитектур. Связь с переносимостью машинного кода. Зависимости по данным, виды. Преодоление ложных зависимостей. Зависимости по управлению и по ресурсам. 2011-09-26

6. Суперскалярные процессоры. Определение. Специфичные задачи (параллельное декодирование, .). Политика выдачи команд (обработка ложных зависимостей по данным, неразрешенных зависимостей по управлению). Шелвинг (область шелвинга, типы буферов, политика выборки команд). 2011-10-24

7. Сохранение семантики последовательного исполнения (по инструкциям, по обращениям в память, по исключениям). Сильное и слабое сохранение.

8. Переименование регистров. Статическое и динамическое (переименование?). Область переименования. Особенности реализации. алгоритм Томасуло. Буфер переупорядочивания для переименования регистров.

9. Условные и безусловные переходы. Виды переходов. Представление в вычислительной модели (result state, direct check) и его особенности с точки зрения реализации. Штрафы при условных переходах. Отложенное ветвление. Ветвление с отрицательным штрафом. Определение ветвлений в процессоре. Обработка неразрешенных ветвлений. Механизмы BTAS, BTIS. Предсказание переходов, виды. Аппаратный стек возврата. Защищенное исполнение и предикатные регистры. 2011-12-05